

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175334

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G06F 9/06

G06F 12/14

G11C 16/02

(21)Application number : 10-236872

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 24.08.1998

(72)Inventor : HYUN SOOKU KIM

(30)Priority

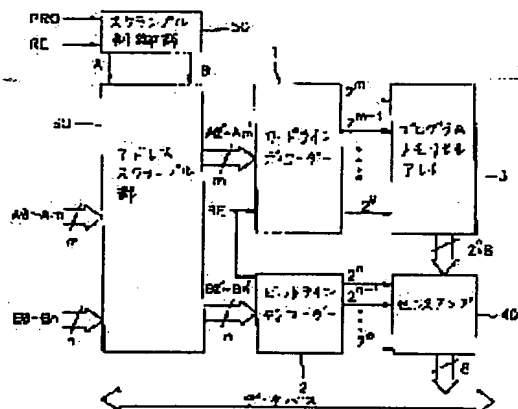
Priority number : 97 9741069 Priority date : 26.08.1997 Priority country : KR

(54) PROGRAM DATA PROTECTIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a program data protective circuit capable of preventing program data stored in a memory cell from being recognized by an outsider.

SOLUTION: This circuit is constituted of a word line decoder 1 for outputting word line signals by the input of address signals, a bit line decoder 2 for outputting bit line signals by the input, a program memory cell array 3 for reading the program data based on the word line signals from the word line decoder, a sense amplifier 40 for selectively outputting the program data from the program memory cell array based on the bit line signals from the bit line decoder, an address scramble part 60 for converting the output position of input address signals so as to be different from the time of a normal mode and outputting it to the word line decoder and the bit line decoder at the time of a protective mode and the scramble control part 50 of the output position conversion of the respective address signals inputted to the address scramble part based on protection enable signals.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175334

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 9/06

5 5 0

G 0 6 F 9/06

5 5 0 B

12/14

3 2 0

12/14

3 2 0 A

G 1 1 C 16/02

G 1 1 C 17/00

6 0 1 P

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平10-236872

(22) 出願日

平成10年(1998) 8月24日

(31) 優先権主張番号 4 1 0 6 9 / 1 9 9 7

(32) 優先日 1997年 8月26日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンドン、1

(72) 発明者 ヒュン ソーク キム

大韓民国、プサン、ササンク、モラ 2
ードン、70

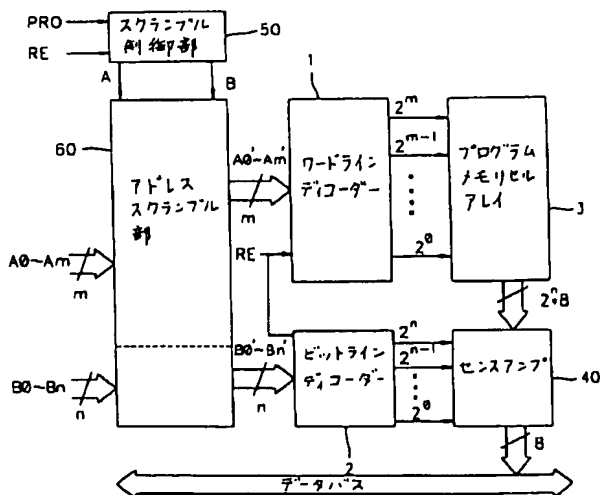
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 プログラムデータ保護回路

(57) 【要約】 (修正有)

【課題】 メモリセルに記憶したプログラムデータを外部で認識することを防止し得るプログラムデータ保護回路。

【解決手段】 アドレス信号の入力によりワードライン信号を出力するワードラインディコーダ1と、前記の入力によりビットライン信号を出力するビットラインディコーダ2と、ワードラインディコーダからのワードライン信号に基づきプログラムデータを読み出すプログラムメモリセルアレイ3と、ビットラインディコーダからのビットライン信号に基づきプログラムメモリセルアレイからのプログラムデータを選択出力するセンスアンプと、保護モード時、入力アドレス信号の出力位置を、通常モード時と異なるように変換し、ワードラインディコーダ及びビットラインディコーダに出力するアドレススクランブル部60と保護イネーブル信号に基づき、アドレススクランブル部に入力する各アドレス信号の出力位置変換のスクランブル制御部50により構成する。



【特許請求の範囲】

【請求項 1】 アドレス信号の入力によりワードライン信号を出力するワードラインディコーダと、

アドレス信号の入力によりビットライン信号を出力するビットラインディコーダと、

プログラムデータを記憶し、前記ワードラインディコーダからのワードライン信号に基づいて前記プログラムデータが読み出されるプログラムメモリセルアレイと、

前記ビットラインディコーダからのビットライン信号に基づいて前記プログラムメモリセルアレイからのプログラムデータを選択して出力するセンスアンプと、

を備えて、半導体メモリ装置の前記プログラムデータを保護するプログラムデータ保護回路において、

保護モード時に、前記各アドレス信号の出力位置を、通常モード時の出力位置と異なるように夫々変換して、前記ワードラインディコーダ及び前記ビットラインディコーダに出力するアドレススクランブル部と、

前記保護モード時に、入力される保護イネーブル信号に基づいて、前記アドレススクランブル部に入力される前記各アドレス信号の出力位置の変換を制御するスクランブル制御部と、を含むことを特徴とするプログラムデータ保護回路。

【請求項 2】 アドレス信号の入力によりワードライン信号を出力するワードラインディコーダと、

アドレス信号の入力によりビットライン信号を出力するビットラインディコーダと、

プログラムデータを記憶し、入力されるワードライン信号に基づいて前記プログラムデータが読み出されるプログラムメモリセルアレイと、

入力されるビットライン信号に基づいて前記プログラムメモリセルアレイからのプログラムデータを選択して出力するセンスアンプと、

を備えて、半導体メモリ装置の前記プログラムデータを保護するプログラムデータ保護回路において、

保護モード時に、前記ワードラインディコーダからのワードライン信号及び前記ビットラインディコーダからのビットライン信号の出力位置を、通常モード時の出力位置と異なるように夫々変換して、前記プログラムメモリセルアレイ及び前記センスアンプに出力するアドレススクランブル部と、

前記保護モード時に、入力される保護イネーブル信号に基づいて、前記アドレススクランブル部に入力されるワードライン信号及びビットライン信号の出力位置の変換を制御するスクランブル制御部と、を含むことを特徴とするプログラムデータ保護回路。

【請求項 3】 前記スクランブル制御部は、

前記保護イネーブル信号と、前記ワードラインディコーダ及び前記ビットラインディコーダの読み出しイネーブル信号とを論理積演算する第 1 AND ゲートと、

前記保護イネーブル信号の論理状態を反転するインバー

タと、

該インバータの出力と前記読み出しイネーブル信号とを論理積演算する第 2 AND ゲートと、を備えて構成され、

前記第 1 AND ゲートからの出力信号及び前記第 2 AND ゲートからの出力信号は、前記アドレススクランブル部に入力されることを特徴とする請求項 1 又は請求項 2 に記載のプログラムデータ保護回路。

【請求項 4】 前記アドレススクランブル部は、

前記スクランブル制御部の第 2 AND ゲートの出力信号により、入力される信号を通過又は遮断させる複数の第 1 スイッチと、

前記スクランブル制御部の第 1 AND ゲートの出力信号により、入力される信号を通過又は遮断させる、前記複数の第 1 スイッチに対応する複数の第 2 スイッチと、を備え、

前記第 1 スイッチ及び該第 1 スイッチに対応する前記第 2 スイッチは、各一端は共通の入力端に接続し、各他端は異なる出力端に接続しており、

前記保護モード時には、前記入力される信号は前記第 2 スイッチを介して一方の出力端に出力され、

前記通常モード時には、前記入力される信号は前記第 1 スイッチを介して他方の出力端に出力されることを特徴とする請求項 1～請求項 3 のいずれか 1 つに記載のプログラムデータ保護回路。

【請求項 5】 前記第 2 AND ゲートからの出力信号は、通常モード時に、前記読み出しイネーブル信号と同期されて出力され、

前記第 1 AND ゲートからの出力信号は、保護モード時に、前記読み出しイネーブル信号と同期されて出力されることを特徴とする請求項 1～請求項 4 のいずれか 1 つに記載のプログラムデータ保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリ装置に記憶されたプログラムデータを保護するプログラムデータ保護回路に係るもので、詳しくは、メモリセルに記憶されたプログラムデータが外部に出力されたときに認識されることを防止し得るプログラムデータ保護回路に関するものである。

【0002】

【従来の技術】 従来のプログラムデータ保護回路においては、図 7 に示したように、ワードラインディコーダ 1 と、ビットラインディコーダ 2 と、センスアンプ 4 と、プログラムデータであるいわゆるコードデータが記憶されたプログラムメモリセルアレイ 3 と、該プログラムメモリセルアレイ 3 のメモリセルに記憶された各コードデータを暗号化するための暗号データが記憶された暗号 (encryption) メモリセルアレイ 5 と、を備えて構成されていた。

【0003】そして、前記センスアンプ4は、前記プログラムメモリセルアレイ3の各メモリセルに記憶されたコードデータと、前記暗号メモリセルアレイ5のメモリセルに記憶された暗号データとの排他的否定論理和をとる排他的否定論理和(ExNOR)ゲートを備えていた。以下、このように構成された従来のプログラムデータ保護回路において、プログラムメモリセルアレイ3に記憶されるコードデータを暗号化する動作を、図8を用いて説明する。

【0004】先ず、読み出しイネーブル信号REがワードラインディコーダ1及びビットラインディコーダ2に入力すると、該ワードラインディコーダ1は、mビットのアドレス信号をディコードして2^mビットのワードライン信号をプログラムメモリセルアレイ3に出力する。これにより、プログラムメモリセルアレイ3では、2^mビットのワードラインが選択される。また、ビットラインディコーダ2は、nビットのアドレス信号をディコードして、2ⁿビットのビットライン信号を暗号メモリセルアレイ5に出力する。これにより、暗号メモリセルアレイ5では、2ⁿビットのビットラインが選択される。

【0005】その後、コードデータと暗号データとは、センスアンプ4で排他的否定論理和されて増幅され、データバスに乗せられる。ここで、プログラムデータ保護回路の動作時に、コードデータがデータバスを介して外部に出力されない状態を“通常モード”と言い、コードデータがデータバスを介して外部に出力される状態を“保護モード”と言う。

【0006】“保護モード”の場合、即ち、記憶されたコードデータが外部に出力される場合、コードデータが外部で識別されることを防止するために、コードデータを暗号化して出力する。該コードデータを暗号化する暗号化過程は、暗号メモリセルアレイ5に入力される暗号イネーブル信号ENCの論理状態により行われる。該暗号イネーブル信号ENCは、図8に示したように、通常モード時には、常にローレベルになり、保護モード時には、読み出しイネーブル信号REがワードラインディコーダ1にパルス信号として出力される間に、暗号メモリセルアレイ5に出力される。

【0007】出力された暗号イネーブル信号ENCにより、ビットラインディコーダ2から出力される2ⁿビットのビットライン信号に基づいて、暗号メモリセルアレイ5のメモリセルが選択され、該選択されたメモリセルに記憶された暗号データはセンスアンプ4に出力される。一方、ワードラインディコーダ1から出力される2^mビットのワードライン信号に基づいて、プログラムメモリセルアレイ3のメモリセルが選択され、該選択されたメモリセルに記憶されるコードデータがセンスアンプ4に出力される。該選択された暗号メモリセルアレイ5の暗号データ及びプログラムメモリセルアレイ3のコードデータは、センスアンプ4の排他的否定論理和ゲート

で排他的否定論理和演算される。

【0008】このような暗号化過程は、図8に示した読み出しイネーブル信号REの1周期の間に行われ、順次繰り返されることにより、プログラムメモリセルアレイ3の全てのメモリセルに記憶されたコードデータが暗号化される。暗号化されたコードデータは、データバスを介して外部に出力される。尚、暗号化されたコードデータと暗号データとを、再び排他的否定論理和すると、前記プログラムメモリセルアレイ3に記憶されていた元のコードデータを復元することができる。

【0009】一方、プログラムメモリセルアレイ3の全てのメモリセルにコードデータが記憶されていない場合には、該コードデータが記憶されていないメモリセルに記憶されるデータは全て‘1’である。該コードデータが記憶されていないメモリセルに記憶されるデータ、即ち‘1’と暗号データとが排他的否定論理和されて得られる暗号化されたデータは、暗号メモリセルアレイ5に記憶されていた暗号データと同一のデータとなる。

【0010】ここで、外部に出力された暗号化されたデータを検索すると、コードデータが記憶されていないメモリセルに記憶されていたデータが暗号化されたデータは、一定の規則を有する。この一定の規則は、暗号メモリセルアレイ5に記憶される暗号データが反復的に配列されることに因る。従って、外部に出力された暗号化されたデータから一定の規則を捜し出すことができた場合には、そのデータを暗号化するために用いた暗号データを認識でき、該認識された暗号データを用いることにより、プログラムメモリセルアレイ3に記憶されたコードデータを逆に追跡することができる。

【0011】

【発明が解決しようとする課題】このように、従来のプログラムデータ保護回路においては、暗号化されたデータに基づいて、プログラムメモリセルアレイ3に記憶されたコードデータを追跡し、認識することができるため、記憶されたコードデータ、即ち、プログラムデータの保護上、不安がある。

【0012】そこで、本発明の目的は、プログラムメモリセルアレイの全てのメモリセルにコードデータが記憶されていない場合に、外部において、プログラムメモリセルアレイに記憶されたコードデータを認識することを防止し得るプログラムデータ保護回路を提供するものである。

【0013】

【課題を解決するための手段】このような目的を達成するため、請求項1に記載の発明のプログラムデータ保護回路は、アドレス信号の入力によりワードライン信号を出力するワードラインディコーダと、アドレス信号の入力によりビットライン信号を出力するビットラインディコーダと、プログラムデータを記憶し、前記ワードラインディコーダからのワードライン信号に基づいて前記プ

プログラムデータが読み出されるプログラムメモリセルアレイと、前記ビットラインディコーダからのビットライン信号に基づいて前記プログラムメモリセルアレイからのプログラムデータを選択して出力するセンスアンプと、を備えて、半導体メモリ装置の前記プログラムデータを保護するプログラムデータ保護回路において、保護モード時に、前記各アドレス信号の出力位置を、通常モード時の出力位置と異なるように夫々変換して、前記ワードラインディコーダ及び前記ビットラインディコーダに出力するアドレススクランブル部と、前記保護モード時に、入力される保護イネーブル信号に基づいて、前記アドレススクランブル部に入力される前記各アドレス信号の出力位置の変換を制御するスクランブル制御部と、を含んで構成される。

【0014】請求項2に記載の発明のプログラムデータ保護回路は、アドレス信号の入力によりワードライン信号を出力するワードラインディコーダと、アドレス信号の入力によりビットライン信号を出力するビットラインディコーダと、プログラムデータを記憶し、入力されるワードライン信号に基づいて前記プログラムデータが読み出されるプログラムメモリセルアレイと、入力されるビットライン信号に基づいて前記プログラムメモリセルアレイからのプログラムデータを選択して出力するセンスアンプと、を備えて、半導体メモリ装置の前記プログラムデータを保護するプログラムデータ保護回路において、保護モード時に、前記ワードラインディコーダからのワードライン信号及び前記ビットラインディコーダからのビットライン信号の出力位置を、通常モード時の出力位置と異なるように夫々変換して、前記プログラムメモリセルアレイ及び前記センスアンプに出力するアドレススクランブル部と、前記保護モード時に、入力される保護イネーブル信号に基づいて、前記アドレススクランブル部に入力されるワードライン信号及びビットライン信号の出力位置の変換を制御するスクランブル制御部と、を含んで構成される。

【0015】請求項3に記載の発明では、前記スクランブル制御部は、前記保護イネーブル信号と、前記ワードラインディコーダ及び前記ビットラインディコーダの読み出しイネーブル信号とを論理積演算する第1ANDゲートと、前記保護イネーブル信号の論理状態を反転するインバータと、該インバータの出力と前記読み出しイネーブル信号とを論理積演算する第2ANDゲートと、を備えて構成され、前記第1ANDゲートからの出力信号及び前記第2ANDゲートからの出力信号は、前記アドレススクランブル部に入力されることとする。

【0016】請求項4に記載の発明では、前記アドレススクランブル部は、前記スクランブル制御部の第2ANDゲートの出力信号により、入力される信号を通過又は遮断させる複数の第1スイッチと、前記スクランブル制御部の第1ANDゲートの出力信号により、入力される

信号を通過又は遮断させる、前記複数の第1スイッチに対応する複数の第2スイッチと、を備え、前記第1スイッチ及び該第1スイッチに対応する前記第2スイッチは、各一端は共通の入力端に接続し、各他端は異なる出力端に接続しており、前記保護モード時には、前記入力される信号は前記第2スイッチを介して一方の出力端に出力され、前記通常モード時には、前記入力される信号は前記第1スイッチを介して他方の出力端に出力されることとする。

10 【0017】請求項5に記載の発明では、前記第2ANDゲートからの出力信号は、通常モード時に、前記読み出しイネーブル信号と同期されて出力され、前記第1ANDゲートからの出力信号は、保護モード時に、前記読み出しイネーブル信号と同期されて出力されることとする。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を、図面を用いて説明する。本発明に係るプログラムデータ保護回路の第1実施形態は、図1に示したように、保護モード時に、入力される各アドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ の出力位置を、通常モード時の出力位置と異なるように夫々変換して、ワードラインディコーダ1及びビットラインディコーダ2に出力するアドレススクランブル部60と、前記保護モード時に、入力される保護イネーブル信号PROに基づいて、前記アドレススクランブル部60に入力される各アドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ の出力位置の変換を制御するスクランブル制御部50と、前記アドレススクランブル部60からのアドレス信号 $A_0' \sim A_m'$ の入力によりワードライン信号を出力するワードラインディコーダ1と、前記アドレススクランブル部60からのアドレス信号 $B_0' \sim B_n'$ の入力によりビットライン信号を出力するビットラインディコーダ2と、半導体メモリ装置により構成されて、プログラムデータを記憶し、前記ワードラインディコーダ1からのワードライン信号に基づいて前記プログラムデータが読み出されるプログラムメモリセルアレイ3と、前記ビットラインディコーダ2からのビットライン信号に基づいて前記プログラムメモリセルアレイ3からのプログラムデータを選択して出力するセンスアンプ4と、を備えて構成されている。

50 【0019】そして、前記スクランブル制御部50は、図2に示したように、保護イネーブル信号PROと読み出しイネーブル信号REとを論理積演算する第1ANDゲートAND1と、該保護イネーブル信号PROの論理状態を反転するインバータINVと、該インバータINVの出力と前記読み出しイネーブル信号REとを論理積演算する第2ANDゲートAND2と、を備えて構成され、前記第1ANDゲートAND1からの出力信号B及び前記第2ANDゲートAND2からの出力信号Aは、前記アドレススクランブル部60に入力される。

【0020】且つ、前記アドレススクランブル部60は、図3に示したように、前記スクランブル制御部50の第2ANDゲートAND2の出力信号Aにより、前記入力するアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ を通過又は遮断する複数の第1スイッチであるスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ と、前記スクランブル制御部の第1ANDゲートAND1の出力信号Bにより、前記入力するアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ を通過又は遮断する複数の第2スイッチであるスイッチ $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ と、を備え、スイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ 及び該スイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ に対応するスイッチ $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ は、各一端は共通の入力端に接続し、各他端は異なる出力端に接続しており、保護モード時には、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ はスイッチ $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ を介して一方の出力端に出力され、通常モード時には、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ はスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ を介して他方の出力端に出力される。

【0021】以下、このように構成された本第1実施形態の動作について説明する。先ず、ワードラインディコーダ1及びビットラインディコーダ2に読み出しイネーブル信号REが入力し、前記スクランブル制御部50に読み出しイネーブル信号RE及び保護イネーブル信号PROが入力する。保護イネーブル信号PROは、図4に示すように、プログラムメモリセルアレイ3のメモリセルに記憶されたプログラムデータ、即ちコードデータがデータバスを介して外部に出力されない通常モード時にはローレベルであり、前記コードデータが外部に出力される保護モード時にはハイレベルである。

【0022】以下、通常モード時の動作を説明する。保護イネーブル信号PROと読み出しイネーブル信号REとは、図2に示すスクランブル制御部50内の第1ANDゲートAND1で論理積演算される。ここで、図4に示したように、保護イネーブル信号PROはローレベルであるので、前記第1ANDゲートAND1の出力信号Bは、常にローレベルになる。該出力信号Bはアドレススクランブル部60に出力されて、アドレススクランブル部60の複数のスイッチ $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ は開放されることにより、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は遮断される。

【0023】一方、図2のインバータINVにより反転された保護イネーブル信号PROと読み出しイネーブル信号REとが第2ANDゲートAND2で論理積演算されて得られる出力信号Aは、前記読み出しイネーブル信号REと同期して出力される。即ち、読み出しイネーブル信号REがハイレベルであると、前記出力信号Aもハイレベルになる。該出力信号Aはアドレススクランブル部60に出力されて、アドレススクランブル部60の複

数のスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ は短絡されることにより、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は通過される。

【0024】上述の複数のスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ 、 $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ の切換動作により、アドレススクランブル部60に入力されたアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は、アドレススクランブル部60から出力される際の出力端の位置が変化されずに、アドレス信号 $A_0' \sim A_m'$ 、 $B_0' \sim B_n'$ として出力され、ワードラインディコーダ1及びビットラインディコーダ2に入力される。即ち、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ と、対応して出力されるアドレス信号 $A_0' \sim A_m'$ 、 $B_0' \sim B_n'$ とは、夫々、同一のアドレスを示す信号である。

【0025】この後、ワードラインディコーダ1では、入力されたアドレス信号 $A_0' \sim A_m'$ がデコードされて、 2^m ビットのワードライン信号がプログラムメモリセルアレイ3に出力される。また、ビットラインディコーダ2では、入力されたアドレス信号 $B_0' \sim B_n'$ がデコードされて、 2^n ビットのビットライン信号がセンスアンプ4に出力される。

【0026】プログラムメモリセルアレイ3では、入力されたワードライン信号に基づいてメモリセルからデータが読み出され、センスアンプ4に出力される。センスアンプ4では、プログラムメモリセルアレイ3からのデータが、ビットラインディコーダ2からのビットライン信号に基づいて選択されて増幅された後、データバスに送られる。

【0027】次に、保護モード時、即ち、記憶されたデータが外部に出力されるとき動作を説明する。先ず、ハイレベルの保護イネーブル信号PROが、スクランブル制御部50のインバータINVで反転されて、第2ANDゲートAND2で読み出しイネーブル信号REと論理積演算されることにより得られる出力信号Aは、常にローレベルになるため、図3のアドレススクランブル部60の複数のスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ は開放され、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は遮断される。

【0028】一方、スクランブル制御部50の第1ANDゲートAND1からの出力信号Bは、前記読み出しイネーブル信号REと同期される。即ち、前記読み出しイネーブル信号REがハイレベルであると、前記出力信号Bもハイレベルになって、アドレススクランブル部60の複数のスイッチ $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ は短絡され、入力されるアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は通過される。

【0029】上述の複数のスイッチ $S_{1A0} \sim S_{1Am}$ 、 $S_{1B0} \sim S_{1Bn}$ 、 $S_{2A0} \sim S_{2Am}$ 、 $S_{2B0} \sim S_{2Bn}$ の切換動作により、入力されたアドレス信号 $A_0 \sim A_m$ 、 $B_0 \sim B_n$ は、入力位置とは異なるように出力位置が変更さ

れた状態で、アドレス信号 $A_0' \sim A_m'$ 、 $B_0' \sim B_n'$ として出力され、ワードラインディコーダ1及びビットラインディコーダ2に入力する。

【0030】例えば、アドレス信号 A_m は、スイッチ S_{2A_m} によりアドレススクランブル部60からの出力位置が変更され、アドレス信号 A_{m-1}' としてワードラインディコーダ1に入力する。また、アドレス信号 A_{m-1} は、スイッチ $S_{2A_{m-1}}$ によりアドレススクランブル部60からの出力位置が変更され、アドレス信号 A_m' としてワードラインディコーダ1に入力する。その他の

【0031】この後、通常モード時と同様にして、ワードラインディコーダ1では、入力されたアドレス信号 $A_0' \sim A_m'$ がディコードされて、 2^m ビットのワードライン信号がプログラムメモリセルアレイ3に出力される。プログラムメモリセルアレイ3では、入力されたワードライン信号に基づいてメモリセルからデータが読み出され、センスアンプ4に出力される。ここで、出力位置が変更されたアドレス信号 $A_0' \sim A_m'$ に基づいて選択される前記プログラムメモリセルアレイ3のメモリセルは、通常モード時の、出力位置が変更されていないアドレス信号 $A_0' \sim A_m'$ に基づいて選択されるメモリセルとは異なる。

【0032】一方、ビットラインディコーダ2では、入力されたアドレス信号 $B_0' \sim B_n'$ がディコードされて、 2^n ビットのビットライン信号がセンスアンプ4に出力される。センスアンプ4では、プログラムメモリセルアレイ3からのプログラムデータが、ビットラインディコーダ2からのビットライン信号に基づいて選択されて増幅される。ここで、出力位置が変更されたアドレス信号 $B_0' \sim B_n'$ に基づいて選択されるプログラムデータは、通常モード時の、出力位置が変更されていないアドレス信号 $B_0' \sim B_n'$ に基づいて選択されるプログラムデータとは異なる。

【0033】この後、センスアンプ4で選択されたプログラムデータは、データバスを介して外部に出力される。上述のように、保護モード時に、プログラムメモリセルアレイ3に記憶されたプログラムデータが読み出されるときは、プログラムメモリセルアレイ3への書き込み時の順番とは異なる順番となるように、まず、出力位置が変更されたワードライン信号によりプログラムメモリセルアレイ3に記憶されたプログラムデータが読み出される。そして、センスアンプ4で、出力位置が変更されたビットライン信号により、読み出されたプログラムデータが選択されて出力される。これにより、外部に出力されたデータを用いて、元の記憶されていたプログラムデータを認識することを防止し得る。

【0034】次に、本第2実施形態を、図面を用いて説明する。本第2実施形態の半導体素子のデータ保護回路は、図5に示したように、入力される m ビットのアドレス信号 $A_0 \sim A_m$ をディコードして 2^m ビットのワードライン信号を出力するワードラインディコーダ1と、入力される n ビットのアドレス信号 $B_0 \sim B_n$ をディコードして 2^n ビットのビットライン信号を出力するビットラインディコーダ2と、保護モード時に、前記ワードラインディコーダ1からのワードライン信号及び前記ビットラインディコーダ2からのビットライン信号の出力位置を、通常モード時の出力位置と異なるように夫々変換して、前記プログラムメモリセルアレイ3及び前記センスアンプ4に出力するアドレススクランブル部600と、保護モード時に、入力される保護イネーブル信号に基づいて、前記アドレススクランブル部600に入力されるワードライン信号及びビットライン信号の出力位置の変換を制御するスクランブル制御部50と、半導体メモリ装置により構成されて、プログラムデータを記憶し、前記アドレススクランブル部600からのワードライン信号に基づいて前記プログラムデータが読み出されるプログラムメモリセルアレイ3と、前記アドレススクランブル部600からのビットライン信号に基づいて前記プログラムメモリセルアレイ3からのプログラムデータを選択して出力するセンスアンプ4と、を備えて構成されている。

【0035】前記スクランブル制御部50は、図2に示すスクランブル制御部50と同様の構成である。そして、前記アドレススクランブル部600は、図6に示したように、前記スクランブル制御部50の第2ANDゲートAND2の出力信号Aにより、前記ワードライン信号及び前記ビットライン信号を通過又は遮断する複数の第1スイッチであるスイッチ $S_{W1,2^0} \sim S_{W1,2^m}$ 、 $S_{V1,2^0} \sim S_{V1,2^n}$ と、前記スクランブル制御部50の第1ANDゲートAND1の出力信号Bにより、前記ワードライン信号及び前記ビットライン信号を通過又は遮断する複数の第2スイッチであるスイッチ $S_{W2,2^0} \sim S_{W2,2^m}$ 、 $S_{V2,2^0} \sim S_{V2,2^n}$ と、を備え、スイッチ $S_{W1,2^0} \sim S_{W1,2^m}$ 、 $S_{V1,2^0} \sim S_{V1,2^n}$ 及び該スイッチ $S_{W1,2^0} \sim S_{W1,2^m}$ 、 $S_{V1,2^0} \sim S_{V1,2^n}$ に対応するスイッチ $S_{W2,2^0} \sim S_{W2,2^m}$ 、 $S_{V2,2^0} \sim S_{V2,2^n}$ は、各一端は共通の入力端に接続し、各他端は異なる出力端に接続しており、保護モード時には、入力されるワードライン信号及びビットライン信号はスイッチ $S_{W2,2^0} \sim S_{W2,2^m}$ 、 $S_{V2,2^0} \sim S_{V2,2^n}$ を介して一方の出力端に出力され、通常モード時には、入力されるワードライン信号及びビットライン信号はスイッチ $S_{W1,2^0} \sim S_{W1,2^m}$ 、 $S_{V1,2^0} \sim S_{V1,2^n}$ を介して他方の出力端に出力される。

【0036】即ち、本第2実施形態のアドレススクランブル部600では、本第1実施形態のアドレススクラン

ブル部60と同様にして、スクランブル制御部50からの保護イネーブル信号PROに基づいて、複数のスイッチ $S_{W1,2^0} \sim S_{W1,2^m}$, $S_{V1,2^0} \sim S_{V1,2^n}$ 及び $S_{W2,2^0} \sim S_{W2,2^m}$, $S_{V2,2^0} \sim S_{V2,2^n}$ を切換制御し、ワードライン信号及びビットライン信号の出力位置を変換する。

【0037】但し、本第1実施形態のアドレススクランブル部60では、アドレス信号 $A_0 \sim A_m$, $B_0 \sim B_n$ の位置を変更するが、本第2実施形態のアドレススクランブル部600では、 2^m ビットのワードライン信号及び 2^n ビットのビットライン信号の出力位置を変更させる。このアドレススクランブル部600から出力されるワードライン信号及びビットライン信号によるプログラムメモリセルアレイ3及びセンスアンプ4の動作は、本第1実施形態のプログラムデータ保護回路の動作と同様である。

【0038】尚、本発明の第1実施形態のアドレススクランブル部60のスイッチ数はアドレス信号数の2倍であり、本発明の第2実施形態のアドレススクランブル部600のスイッチ数はワードライン信号数及びビットライン信号数の2倍である。

【0039】

【発明の効果】以上説明したように、本発明に係るプログラムデータ保護回路は、記憶されたコードデータが外部に出力されるとき、プログラムメモリセルアレイの元のメモリセルと異なるメモリセルに記憶されたコードデータが読み出されるため、即ち、コードデータ書き込み時の順番とは異なる順番で読み出されるため、外部に出力されたデータを用いて、元のコードデータを認識することを防止し得るという効果がある。

【0040】また、プログラムデータの読み出し動作は、従来は、読み出しイネーブル信号の1周期間に出力される暗号イネーブル信号に基づいていたが、本発明で

は、読み出しイネーブル信号に同期した出力信号により行われる。従って、従来のように、読み出しイネーブル信号の1周期間を、暗号イネーブル信号が発生可能な期間とする必要がなくなり、読み出しイネーブル信号の1周期間を、従来よりも短縮することができる。これにより、プログラムデータの読み出し動作速度を、より高速化できるという効果がある。

【0041】また、従来の排他的否定論理和ゲートを備えるセンスアンプは不必要であるので、構造を簡略化し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係るプログラムデータ保護回路の第1実施形態の概略的な構成図である。

【図2】図1のスクランブル制御部の構成図である。

【図3】図1のアドレススクランブル部の構成図である。

【図4】図2のスクランブル制御部における各信号の波形図である。

【図5】本発明に係るプログラムデータ保護回路の第2実施形態の概略的な構成図である。

【図6】図5のアドレススクランブル部の構成図である。

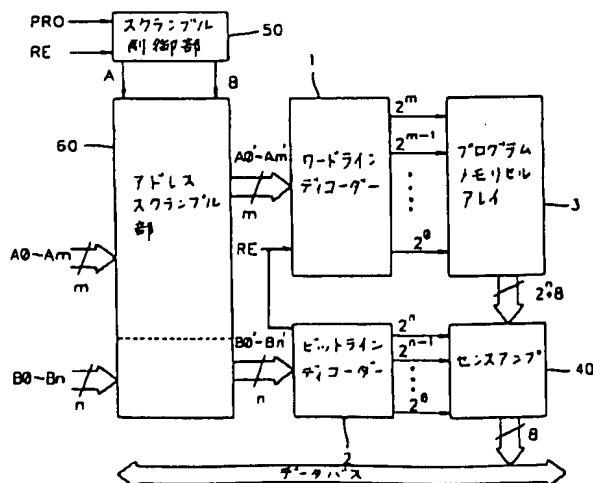
【図7】従来のプログラムデータ保護回路の概略的な構成図である。

【図8】図7の読み出しイネーブル信号RE及び暗号イネーブル信号ENCの波形図である。

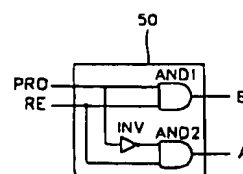
【符号の説明】

- 1 ワードラインディコーダ
- 2 ビットラインディコーダ
- 3 プログラムメモリセルアレイ
- 40 センスアンプ
- 50 スクランブル制御部
- 60, 600 アドレススクランブル部

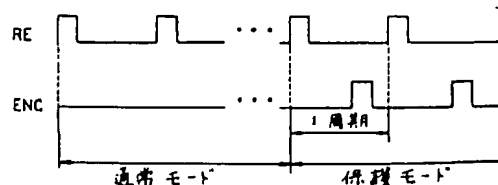
【図1】



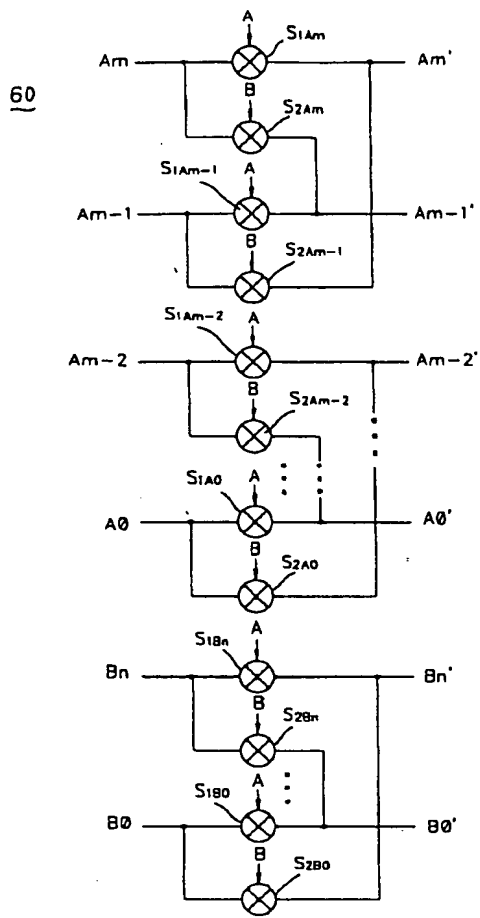
【図2】



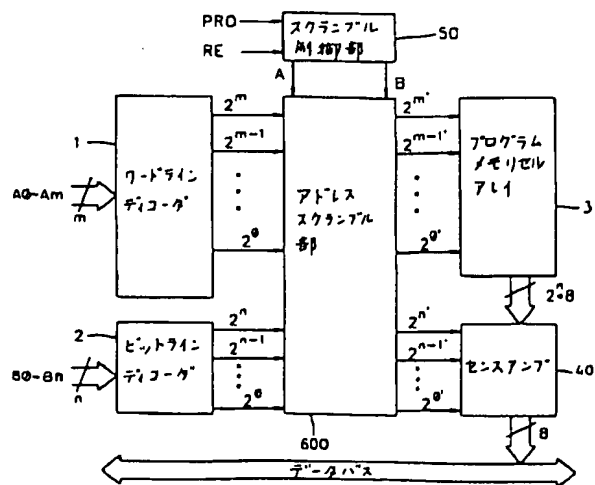
【図8】



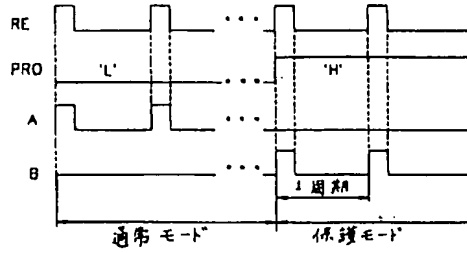
【図 3】



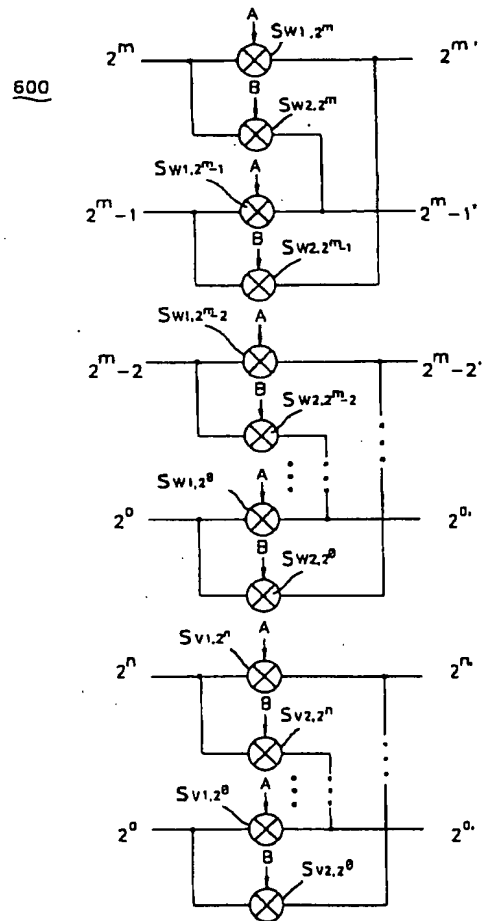
【図 5】



【図 4】



【図 6】



【図 7】

